

Docket No.: 56937-094

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
<b>Kazuyoshi NISHI</b>	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 03, 2003	:	Examiner:
	:	
For: BIAS POTENTIAL GENERATING APPARATUS	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

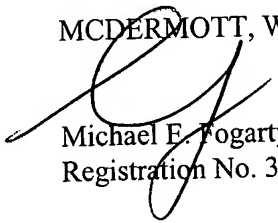
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. P2002-292325, filed October 4, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: October 3, 2003**  
WDC99 821235-1.056937.0094

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

56937-094

K. NISHI

October 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月 4日

出 願 番 号  
Application Number:

特願2002-292325

[ST.10/C]:

[JP2002-292325]

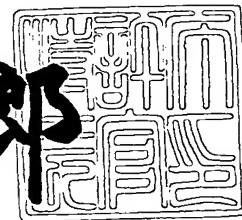
出 願 人  
Applicant(s):

松下電器産業株式会社

2003年 6月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3050050

【書類名】 特許願

【整理番号】 5038440132

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 西 和義

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイアス電位発生回路

【特許請求の範囲】

【請求項 1】 複数のバイアス電位を、各バイアス電位毎に設定された待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と、

前記電位復帰部の駆動制御を行う駆動制御部と、

を有し、

前記電位復帰部を各バイアス電位毎に設ける、

ことを特徴とするバイアス電位発生回路。

【請求項 2】 請求項 1 に記載のバイアス電位発生回路において、

前記駆動制御部は、パルス波形信号に基づいて前記電位復帰部の駆動制御を行うものであり、

かつ前記駆動制御部は、前記パルス波形信号生成用のクロック信号を発生させる発振回路を有するものである、

ことを特徴とするバイアス電位発生回路。

【請求項 3】 請求項 1 または 2 に記載のバイアス電位発生回路において、

前記電位復帰部の駆動時間を任意に設定する駆動時間設定部をさらに有する、

ことを特徴とするバイアス電位発生回路。

【請求項 4】 請求項 3 に記載のバイアス電位発生回路において、

前記駆動制御部は、パルス波形信号に基づいて前記電位復帰部の駆動制御を行うものであり、

前記駆動時間設定部は、前記パルス波形信号のパルス波形幅の設定値を出力するレジスタである、

ことを特徴とするバイアス電位発生回路。

【請求項 5】 請求項 1 または 2 に記載のバイアス電位発生回路において、

前記バイアス電位の復帰動作時に前記電位復帰部で用いる復帰電流を任意に設定する電流設定部をさらに有することを特徴とするバイアス電位発生回路。

【請求項 6】 請求項 5 に記載のバイアス電位発生回路において、

前記電位復帰部は、互いに並列接続されて前記復帰電流を発生させる複数のMOSトランジスタであり、

前記電流設定部は、前記MOSトランジスタそれぞれに対して導通制御信号を個別に供給するものである、

ことを特徴とするバイアス電位発生回路。

【請求項7】 請求項1ないし4のいずれかに記載のバイアス電位発生回路において、

前記電位復帰部は、ゲート電位とドレイン電位とが短絡されることで閾値電圧を発生させるMOSトランジスタを複数備えるとともにこれらMOSトランジスタが直列に接続されたものであり、

前記MOSトランジスタの設置数を変動させることで前記バイアス電位の復帰動作で用いる復帰電圧を任意に設定可能とする、

ことを特徴とするバイアス電位発生回路。

【請求項8】 請求項1または2に記載のバイアス電位発生回路において、

前記バイアス電位と同等電位を有する基準電位を発生させる基準電位発生部をさらに有し、

前記駆動制御部は、前記発生電位が前記基準電位に到達しない期間は前記電位復帰部を駆動させ、到達した時点で駆動を停止するものである、

ことを特徴とするバイアス電位発生回路。

【請求項9】 請求項1ないし4のいずれかに記載のバイアス電位発生回路において、

前記バイアス電位と同等の電位を有する復帰電位を発生させる復帰電位発生部をさらに有し、

かつ、前記電位復帰部は、前記バイアス電位の復帰動作時に前記発生電位を前記復帰電位に短絡させるものである、

ことを特徴とするバイアス電位発生回路。

【請求項10】 バイアス電位を、待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と、

前記電位復帰部の駆動制御を行う駆動制御部と、

前記電位復帰部の駆動時間を任意に設定する駆動時間設定部と、

を有することを特徴とするバイアス電位発生回路。

【請求項 1 1】 請求項 1 0 に記載のバイアス電位発生回路において、

前記駆動制御部は、パルス波形信号に基づいて前記電位復帰部の駆動制御を行うものであり、

前記駆動時間設定部は、前記パルス波形信号のパルス波形幅の設定値を出力するレジスタである、

ことを特徴とするバイアス電位発生回路。

【請求項 1 2】 バイアス電位を、待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と、

前記電位復帰部の駆動制御を行う駆動制御部と、

前記バイアス電位の復帰動作時に前記電位復帰部で用いる復帰電流を任意に設定する電流設定部とを、

有することを特徴とするバイアス電位発生回路。

【請求項 1 3】 請求項 1 2 に記載のバイアス電位発生回路において、

前記電位復帰部は、互いに並列接続されて前記復帰電流を発生させる複数の MOS トランジスタであり、

前記電流設定部は、前記 MOS トランジスタそれぞれに対して導通制御信号を個別に供給するものである、

ことを特徴とするバイアス電位発生回路。

【請求項 1 4】 バイアス電位を、待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と、

前記電位復帰部の駆動制御を行う駆動制御部と、

を有し、

前記電位復帰部は、ゲート電位とドレイン電位とが短絡されることで閾値電圧を発生させる MOS トランジスタを複数備えとともにこれら MOS トランジス

タが直列に複数接続されたものであり、

前記MOSトランジスタの設置数を変動させることで前記バイアス電位の復帰動作で用いる復帰電圧を任意に設定可能とする、

ことを特徴とするバイアス電位発生回路。

【請求項15】 バイアス電位を、待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

前記発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と

、  
前記電位復帰部の駆動制御を行う駆動制御部と、

前記バイアス電位と同等電位を有する基準電位を発生させる基準電位発生部と

を有し、

前記駆動制御部は、前記発生電位が前記基準電位に到達しない期間は前記電位復帰部を駆動させ、到達した時点で駆動を停止するものである、

ことを特徴とするバイアス電位発生回路。

【請求項16】 バイアス電位を、待機電位との間で切り換えて発生させるバイアス電位発生回路であって、

前記発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と

、  
前記バイアス電位と同等の電位を有する復帰電位を発生させる復帰電位発生部と、

を有し、

前記電位復帰部は、前記バイアス電位の復帰動作時に前記発生電位を前記復帰電位に短絡させるものである、

ことを特徴とするバイアス電位発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶パネル等を駆動する駆動回路のバイアス電位を発生するバイア

ス電位発生回路であって、パワーセーブ時にオフさせ、パワーセーブ状態から動作状態に復帰させる時に高速に復帰させるバイアス電位発生回路に関するものである。

## 【0002】

## 【従来の技術】

近年、液晶パネルは携帯機器用途に用途が広がりつつあり、そのために消費電力の低減が強く要望されている。低消費電力化に対応するためには、液晶駆動回路において非表示期間であるブランキング期間時に出力回路を止め、定常電流をゼロにするパワーセーブ動作を行うのが効果的である。消費電力の低減を図るためには、頻繁にパワーセーブを行うのがより良いが、パワーセーブ後にすぐに駆動出力を行う必要がある。そのため、パワーセーブ状態から動作状態に高速に復帰させることが重要となる。

## 【0003】

以下に、パワーセーブ状態から動作状態に高速に復帰させることを可能とした従来のバイアス電位発生回路と駆動出力回路について図9を参照して説明する。図9は従来の液晶駆動回路用のバイアス電位発生回路とn出力の駆動出力回路との回路図である。ここでは、液晶駆動出力数がn出力の場合を例にして説明する。

## 【0004】

30はバイアス電位発生回路である。バイアス電位発生回路30は、Pチャネル型MOSトランジスタ2,5,7と、Nチャネル型MOSトランジスタ4,6,9,10と、抵抗3と、インバータ8と、制御回路31とにより構成される。バイアス電位発生回路30は、液晶駆動用のアンプ31(1)～31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるVIASPバイアス電位と、定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位VIASNとを出力する機能を有する。32(1)～32(n),33(1)～33(n)は配線容量を表す。

## 【0005】

次に、以上のように構成されたバイアス電位発生回路について、パワーセーブ



状態からの復帰動作について説明する。

#### 【0006】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態（Low）であり、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフしており、Nチャネル型MOSトランジスタ4はオンしている。また、制御回路31は高速復帰信号RTを非アクティブ状態（Low）にしてNチャネル型MOSトランジスタ10のゲート電位に供給する。高速復帰信号RTはクロック入力CLKと高速復帰元信号RT0とに基づいてパルス波形状に成形される。Nチャネル型MOSトランジスタ10は、高速復帰信号RT（非アクティブ状態）によりオフとなる。

#### 【0007】

以上の状態になると、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4とによりバイアス電位VIASPが発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6とによりバイアス電位VIASNが発生する。これらバイアス電位VIASP、VIASNは、液晶駆動用のアンプ31(1)～31(n)に供給される。

#### 【0008】

次に、パワーセーブ状態になると、パワーセーブ信号PSがアクティブ状態（High）になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオンし、Nチャネル型MOSトランジスタ4がオフする。これにより、バイアス電位VIASPは“High”となり、Pチャネル型MOSトランジスタ5がオフし、バイアス電位VIASNは“Low”となる。すると、バイアス電位発生回路30内の定常電流は0になり、パワーセーブ状態となる。

#### 【0009】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号PSが“L”になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフし、Nチャネル型MOSトランジスタ4がオンする。これにより、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOS

トランジスタ4とにより、バイアス電位V I A S Pが所定の電位に戻ろうとする。しかしながら、アンプ31(1)～31(n)の入力容量と配線容量32(1)～32(n)とを放電する必要があるために、このままでは、バイアス電位V I A S Pが電位復帰するには時間がかかる。

## 【0010】

そこで、制御回路31は高速復帰信号RTをアクティブ状態(High)にしてNチャネル型MOSトランジスタ10のゲート電位に供給する。これにより、Nチャネル型MOSトランジスタ10は一定時間オン状態が維持される。そのため、バイアス電位V I A S Pはグランド側へ引っ張られることになって所定の電位に高速に戻る。

## 【0011】

このとき、バイアス電位V I A S Pが復帰することにより、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6とによりバイアス電位V I A S Nが所定の電位に復帰し、復帰動作が完了する(例えば、特許文献1参照。))。

## 【0012】

## 【特許文献1】

特許第3147079号明細書(全文参照)

## 【0013】

## 【発明が解決しようとする課題】

しかしながら、従来のバイアス電位発生回路では、バイアス電位を高速復帰させるには、まだ十分とはいえないという課題がある。以下、説明する。

## 【0014】

従来のバイアス電位発生回路では、Nチャネル型MOSトランジスタ10の働きによりバイアス電位V I I S Pを高速復帰させることが可能であるものの、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6とによる微小電流でバイアス電位V I A S Nを復帰させる構造となっている。そのため、アンプ31(1)～31(n)の入力容量と配線容量33(1)～33(n)とを充電するのに時間がかかり、このことがバイアス電位V I A S Nの高速復帰を

妨げる要因となっている。

【0015】

また、従来のバイアス電位発生回路においては、温度や電源電圧等の変化に応じて高速復帰信号RTを最適に調整する必要がある。そうしないと、バイアス電位VIASPをグランド側へ引っ張りすぎたり、引っ張り足らなかつたりし、消費電流の増加や復帰時間の遅延を起こしてしまう。これに対して、バイアス電位発生回路を高速復帰させるために必要となる高速復帰信号RTの信号形態（例えばパルス幅）は温度や電源電圧等の変化に応じて変動するという特徴がある。そのため、バイアス電位VIASPを高速復帰させるためには、高速復帰信号RTの信号形態をある条件での最適な値に決めて設計を行う必要がある。しかしながら、従来のバイアス電位発生回路では、高速復帰信号RTの信号形態を、高速に復帰するのに最適な状態に調整することはできなかった。

【0016】

本発明は、上記従来の課題を解決するものであり、バイアス電位を高速に復帰させることができるバイアス電位発生回路を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明の発明は、複数のバイアス電位を、各バイアス電位毎に設定された待機電位との間で切り換えて発生させるバイアス電位発生回路であって、  
発生電位を前記待機電位から前記バイアス電位に復帰させる電位復帰部と、  
前記電位復帰部の駆動制御を行う駆動制御部と、  
を有し、  
前記電位復帰部を各バイアス電位毎に設ける、  
ことに特徴を有している。

【0018】

これにより、バイアス電位毎に電位復帰動作を実施できるので、その復帰動作が確実となる。その結果、復帰時間の短縮化を図ることができる。

【0019】

なお、前記駆動制御部は、パルス波形信号に基づいて前記電位復帰部の駆動制

御を行うものであり、

かつ前記駆動制御部は、前記パルス波形信号生成用のクロック信号を発生させる発振回路を有するものであるのが好ましい。そうすれば、クロック信号を外部から入力させる端子を省略することができる。

#### 【0020】

なお、前記電位復帰部の駆動時間を任意に設定する駆動時間設定部をさらに有するのが好ましい。そうすれば、バイアス電位発生回路を高速復帰させるために必要な電位復帰部の駆動時間が、温度や電源電圧等の変化に応じて変動したとしても、その変動に応じた駆動時間を調整することが可能となる。そのため、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0021】

このような駆動時間の調整を具体的に可能とする構成としては次のようなものがある。すなわち、前記駆動制御部を、パルス波形信号に基づいて前記電位復帰部の駆動制御を行うものとする。そして、前記駆動時間設定部を、前記パルス波形信号のパルス波形幅の設定値を出力するレジスタとする。

#### 【0022】

なお、前記バイアス電位の復帰動作時に前記電位復帰部で用いる復帰電流を任意に設定する電流設定部をさらに有するのが好ましい。そうすれば、バイアス電位発生回路を高速復帰させるために必要な復帰電流を、最適に調整することが可能となる。そのため、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0023】

このような駆動電流の調整を具体的に可能とする構成としては次のようなものがある。すなわち、前記電位復帰部を、互いに並列接続されて前記復帰電流を発生させる複数のMOSトランジスタとする。そして、前記電流設定部を、前記MOSトランジスタそれぞれに対して導通制御信号を個別に供給するものとする。

#### 【0024】

なお、前記電位復帰部は、ゲート電位とドレイン電位とが短絡されることで関

値電圧を発生させるMOSトランジスタを複数備えるとともにこれらMOSトランジスタが直列に複数接続されたものであり、

前記MOSトランジスタの設置数を変動させることで前記発生電位を前記待機電圧から前記バイアス電位に復帰させる際に用いる復帰電圧を任意に設定可能とするのが好ましい。そうすれば、復帰電圧を任意に設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0025】

なお、前記バイアス電位と同等電位を有する基準電位を発生させる基準電位発生部をさらに有し、

前記駆動制御部は、前記発生電位が前記基準電位に到達しない期間は前記電位復帰部を駆動させ、到達した時点で駆動を停止するものであるのが好ましい。そうすれば、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0026】

なお、前記電位復帰部は、前記バイアス電位と同等の電位を有する復帰電位を発生させる復帰電位発生部を有し、前記発生電位を前記待機電位から前記バイアス電位に復帰させる際に前記発生電位を復帰電位に短絡させるものから構成することができる。そうすれば、電源電圧変化や温度変化等が発生した場合においても、停止状態から動作状態への復帰時に電位復帰部の駆動時間にかかわらず、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0027】

##### 【発明の実施形態】

##### （第1の実施形態）

図1に本発明の第1の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数がn出力であるバイアス電位発生回路を例にして本発明を説明する。

#### 【0028】

図1において、1はバイアス電位発生回路である。バイアス電位発生回路1は

、Pチャネル型MOSトランジスタ2,5,7,12とNチャネル型MOSトランジスタ4,6,9,10と抵抗3とインバータ8,13と制御回路11と発振回路14とレジスタ15Aとにより構成される。バイアス電位発生回路1は、液晶駆動用のアンプ31(1)～31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V I A S Pと定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V I A S Nとを出力する機能を有する。32(1)～32(n),33(1)～33(n)は配線容量を表す。

【0029】

制御回路11は、発振回路14が出力するクロック入力CLKに基づいてパルス波形状の高速復帰信号RTを出力する。制御回路11は、高速復帰信号RTのパルス幅をレジスタ15Aが出力する設定値に基づいて調整する。

【0030】

次に、以上のように構成されたバイアス電位発生回路1のパワーセーブ状態からの復帰動作を説明する。

【0031】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態(Low)であるため、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフしており、Nチャネル型MOSトランジスタ4はオンしている。また、Nチャネル型MOSトランジスタ10は、制御回路11の出力信号である高速復帰信号RTが非アクティブ状態(Low)であるため、オフしている。同様に、Pチャネル型MOSトランジスタ12は、高速復帰信号NRTがアクティブ状態(High)であるためにオフしている。高速復帰信号NRTは、高速復帰信号RTがインバータ13により反転されることで生成される。

【0032】

このとき、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによってバイアス電位V I A S Pが発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6との働きによってバイアス電位V I A S Nが発生する。これらバイアス電位V I A S P, V I A S Nは、液晶駆動用のアンプ31(1)～31(n)に供給される。

【 0 0 3 3 】

次に、パワーセーブ状態になると、パワーセーブ信号 P S がアクティブ状態 ( H i g h ) になる。すると、Pチャネル型MOSトランジスタ 7 とNチャネル型MOSトランジスタ 9 とがオンし、Nチャネル型MOSトランジスタ 4 がオフする。これにより、バイアス電位 V I A S P は “ H i g h ” となり、Pチャネル型MOSトランジスタ 5 がオフし、バイアス電位 V I A S N は “ L o w ” となる。このようにして、バイアス電位 V I A S P , V I A S N が待機電圧に移行するため、バイアス電位発生回路 1 内の定常電流は 0 になり、パワーセーブ状態となる。

【 0 0 3 4 】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号 P S が非アクティブ状態 ( L o w ) になる。すると、Pチャネル型MOSトランジスタ 7 とNチャネル型MOSトランジスタ 9 がオフし、Nチャネル型MOSトランジスタ 4 がオンする。これにより、Pチャネル型MOSトランジスタ 2 と抵抗 3 とNチャネル型MOSトランジスタ 4 との働きによって、バイアス電位 V I A S P が所定の電位に戻ろうとする。

【 0 0 3 5 】

しかしながら、アンプ 3 1 ( 1 ) ~ 3 1 ( n ) の入力容量と配線容量 3 2 ( 1 ) ~ 3 2 ( n ) とを放電する必要があるため時間がかかるために、このままでは、バイアス電位 V I A S P が所定の電位に復帰するには時間がかかる。

【 0 0 3 6 】

そこで、制御回路 1 1 は、発振回路 1 4 から供給されるクロック入力 C L K と高速復帰元信号 R T 0 とに基づいてパルス波形の高速復帰信号 R T をアクティブ状態 ( H i g h ) にする。制御回路 1 1 は、図 2 に示すように、高速復帰信号 R T のパルス幅 ( アクティブ期間 ) をレジスタ 1 5 A の設定値に応じて設定する。図 2 に示す例では、レジスタ 1 5 A の設定値が 1 の場合には、高速復帰信号 R T のパルス幅 ( アクティブ期間 ) をクロック入力 C L K の 1 パルス幅に設定する。同様に、上記設定値が 2 の場合には、高速復帰信号 R T のパルス幅 ( アクティブ期間 ) をクロック入力 C L K の 2 パルス幅に設定し、上記設定値が 3 の場合には

、高速復帰信号 R T のパルス幅（アクティブ期間）をクロック入力 C L K の 3 パルス幅に設定する。

【0037】

これにより、レジスタ 15 A の設定値を変動させることで、高速復帰信号 R T のパルス幅（アクティブ期間）を任意に設定することができる。

【0038】

アクティブ状態（H i g h）になった高速復帰信号 R T は N チャネル型 M O S トランジスタ 10 のゲート電位に供給されて、トランジスタ 10 を一定時間オンさせる。そのため、バイアス電位 V I A S P はグランド側へ引っ張られることになり、これにより、バイアス電位 V I A S P は所定の電位に高速に復帰する。

【0039】

また、高速復帰信号 R T がインバータ 13 で反転処理されることで、高速復帰信号 N R T は非アクティブ状態（L o w）になる。非アクティブ状態となった高速復帰信号 N R T は P チャネル型 M O S トランジスタ 12 のゲート電位に供給されて、トランジスタ 12 を一定時間オンさせる。そのため、バイアス電位 V I A S N は電源側へ引っ張られることになり、これにより、バイアス電位 V I A S N は所定の電位に高速に復帰する。

【0040】

本実施形態では、バイアス電位 V I A S P は、N チャネル型 M O S トランジスタ 10 の動作によって所定の電位に復帰し、バイアス電位 V I A S N は、P チャネル型 M O S トランジスタ 12 の動作によって所定の電位に復帰する。このように、バイアス電位それぞれに対応して復帰用の M O S トランジスタ 10, 12 を設けているので、復帰に要する時間が短縮化される。

【0041】

バイアス電位発生回路 1 は、高速復帰信号 R T, N R T のパルス幅を、レジスタ 15 A の設定値に応じて可変させることが出来る。そのため、電源電圧等の条件変化に応じてレジスタ 15 A の設定値を変動させることで、最適なパルス幅を選択することが出来る。その結果、バイアス電位発生回路 1 を高速復帰させるために必要な M O S トランジスタ 10, 12 の駆動時間が、温度や電源電圧等の変



化に応じて変動したとしても、その変動に応じたMOSトランジスタ10,12の駆動時間を設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、バイアス電位V I A S P, V I A S Nを、過不足なくしかも高速に復帰させることが出来る。

【0042】

本実施形態は、Pチャネル型MOSトランジスタ12とNチャネル型MOSトランジスタ10とにより電位復帰部が構成され、発振回路14と制御回路11とインバータ13とにより駆動制御部が構成され、レジスタ15Aにより駆動時間設定部が構成される。

【0043】

なお、本実施形態でのNチャネル型MOSトランジスタ10とPチャネル型MOSトランジスタ12とは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタを並列接続したCMOS型トランスファゲートでも良く、同様の効果が得られる。

【0044】

(第2の実施形態)

図3に本発明の第2の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数がn出力であるバイアス電位発生回路を例にして本発明を説明する。

【0045】

図3において、17はバイアス電位発生回路である。バイアス電位発生回路17は、Pチャネル型MOSトランジスタ2,5,7,12(1)~12(k)とNチャネル型MOSトランジスタ4,6,9,10(1)~10(k)と抵抗3とインバータ8,13(1)~13(k)と制御回路16と発振回路14とレジスタ15Bとにより構成され、液晶駆動用のアンプ31(1)~31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V I A S Pと定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V I A S Nとを出力する機能を有する。32(1)~32(n),33(1)~33(n)は配線容量を表す。

## 【0046】

制御回路16は、発振回路14が出力するクロック入力CLKに基づいてパルス波形状の高速復帰信号RTを出力する。制御回路11は、高速復帰信号RT(1)～RT(k)の中からアクティブにする高速復帰信号RT(1)～RT(k)の数をレジスタ15Bが出力する設定値に基づいて調整する。

## 【0047】

次に、以上のように構成されたバイアス電位発生回路17のパワーセーブ状態からの復帰動作を説明する。

## 【0048】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態(Low)であるため、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフしており、Nチャネル型MOSトランジスタ4はオンしている。また、Nチャネル型MOSトランジスタ10(1)～10(k)は、制御回路16の出力信号である高速復帰信号RT(1)～RT(k)が非アクティブ状態(Low)であるためオフしている。同様に、Pチャネル型MOSトランジスタ12(1)～12(k)は、高速復帰信号NRT(1)～NRT(k)がアクティブ状態(High)であるためにオフしている。高速復帰信号NRT(1)～NRT(k)は、高速復帰信号RT(1)～RT(k)がインバータ13(1)～13(k)により反転されることで生成される。

## 【0049】

このとき、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位VIASPが発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6との働きによってバイアス電位VIASNが発生する。これらバイアス電位VIASP, VIASNは、液晶駆動用のアンプ31(1)～31(n)に供給される。

## 【0050】

次に、パワーセーブ状態になると、パワーセーブ信号PSがアクティブ状態(High)になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオンし、Nチャネル型MOSトランジスタ4がオフする

。これにより、バイアス電位V I A S Pは“H i g h”となり、Pチャネル型M O Sトランジスタ5がオフし、バイアス電位V I A S Nは“L o w”となる。このようにして、バイアス電位V I A S P, V I A S Nは待機電圧に移行するため、バイアス電位発生回路17内の定常電流は0になり、パワーセーブ状態となる。

## 【0051】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号P Sが非アクティブ状態(L o w)になる。すると、Pチャネル型M O Sトランジスタ7とNチャネル型M O Sトランジスタ9がオフし、Nチャネル型M O Sトランジスタ4がオンする。これにより、Pチャネル型M O Sトランジスタ2と抵抗3とNチャネル型M O Sトランジスタ4との働きによって、バイアス電位V I A S Pが所定の電位に戻ろうとする。しかしながら、アンプ31(1)～31(n)の入力容量と配線容量32(1)～32(n)とを放電する必要があり時間がかかるために、このままでは、バイアス電位V I A S Pが電位復帰するには時間がかかる。

## 【0052】

そこで、制御回路16は、発振回路14から供給されるクロック入力C L Kと高速復帰元信号R T 0とに基づいてパルス波形の高速復帰信号R T (1)～R T (k)をアクティブ状態(H i g h)にする。制御回路16は、図4に示すように、高速復帰信号R T (1)～R T (k)の中からアクティブにする高速復帰信号R T (1)～R T (k)の数をレジスタ15Bの設定値に応じて設定する。図4に示す例では、レジスタ15Bの設定値が1の場合には、高速復帰信号R T (1)のみアクティブ(H i g h)にし、他の高速復帰信号R T (2)～R T (k)は、非アクティブ(L o w)にする。同様に、レジスタ15Bの設定値が2の場合には、高速復帰信号R T (1), (2)のみアクティブ(H i g h)にし、他の高速復帰信号R T (3)～R T (k)は、非アクティブ(L o w)にする。同様に、レジスタ15Bの設定値が3の場合には、高速復帰信号R T (1)～(3)のみアクティブ(H i g h)にし、他の高速復帰信号R T (4)～R T (k)は、非アクティブ(L o w)にする。

## 【0053】

これより、レジスタ15Bの設定値を変動させることで、アクティブ状態にする高速復帰信号RT(1)～RT(k)の数を任意に設定することができる。

## 【0054】

アクティブ状態になった高速復帰信号RT(1)～RT(k)はNチャネル型MOSトランジスタ10(1)～10(k)のゲート電位に供給されて、そのトランジスタ10(1)～10(k)だけを選択的に一定時間オンさせる。そのため、バイアス電位VIASPはグランド側へ引っ張られることになり、これにより、バイアス電位VIASPは所定の電位に高速に復帰する。

## 【0055】

また、高速復帰信号RT(1)～RT(k)がインバータ13(1)～13(k)で反転処理されることで、高速復帰信号NRT(1)～NRT(k)は非アクティブ状態(Low)になる。非アクティブ状態となった高速復帰信号NRT(1)～NRT(k)はPチャネル型MOSトランジスタ12(1)～12(k)のゲート電位に供給されて、トランジスタ12(1)～12(k)を一定時間オンさせる。そのため、バイアス電位VIASNは電源側へ引っ張られることになり、これにより、バイアス電位VIASNは所定の電位に高速に復帰する。

## 【0056】

本実施形態では、バイアス電位VIASPは、Nチャネル型MOSトランジスタ10(1)～10(k)の動作によって所定の電位に復帰し、バイアス電位VIASNは、Pチャネル型MOSトランジスタ12(1)～12(k)の動作によって所定の電位に復帰する。このように、バイアス電位それぞれに対応して復帰用のMOSトランジスタ10(1)～10(k), 12(1)～12(k)を設けているので、復帰に要する時間が短縮化される。

## 【0057】

バイアス電位発生回路17は、高速復帰信号RT(1)～RT(k)とNRT(1)～NRT(k)のうちの幾つをアクティブ状態にするかを、レジスタ15Bの設定値に応じて可変させることが出来る。そのため、電源電圧等の条件変化に応じてレジスタ15Bの設定値を変動させることで、アクティブ状態にする高

速復帰信号  $RT(1) \sim RT(k)$  と  $NRT(1) \sim NRT(k)$  の数を最適なものに選択することが出来る。

## 【0058】

アクティブ状態にする高速復帰信号  $RT(1) \sim RT(k)$  と  $NRT(1) \sim NRT(k)$  の数の調整により、オンする P チャンネル型 MOS トランジスタ  $12(1) \sim 12(k)$  や N チャンネル型 MOS トランジスタ  $10(1) \sim 10(k)$  の数を調整することができる。さらには、アクティブ状態にする P チャンネル型 MOS トランジスタ  $12(1) \sim 12(k)$  や N チャンネル型 MOS トランジスタ  $10(1) \sim 10(k)$  の数の調整により、バイアス電位発生回路 17 の駆動電流を調整することができる。

## 【0059】

その結果、バイアス電位発生回路 17 を高速復帰させるために必要な MOS トランジスタ  $10, 12$  の出力電流が、温度や電源電圧等の変化に応じて変動したとしても、その変動に応じた MOS トランジスタ  $10, 12$  の出力電流を設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、バイアス電位  $V_{IASP}, V_{IASN}$  を、過不足なくしかも高速に復帰させることが出来る。

## 【0060】

本実施形態は、P チャンネル型 MOS トランジスタ  $10(1) \sim 10(k)$  と N チャンネル型 MOS トランジスタ  $12(1) \sim 12(k)$  とにより電位復帰部が構成され、発振回路 14 と制御回路 16 とインバータ  $13(1) \sim 13(k)$  とにより駆動制御部が構成され、レジスタ 15B により電流設定部が構成される。

## 【0061】

なお、本実施例での N チャンネル型 MOS トランジスタ  $10(1) \sim 10(k)$  と P チャンネル型 MOS トランジスタ  $12(1) \sim 12(k)$  は、N チャンネル型 MOS トランジスタと P チャンネル型 MOS トランジスタを並列接続した CMOS 型トランスファゲートでも良く、同様の効果が得られる。

## 【0062】

(第3の実施形態)

図5に本発明の第3の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数が $n$ 出力であるバイアス電位発生回路を例にして本発明を説明する。

## 【0063】

図5において、18はバイアス電位発生回路である。バイアス電位発生回路18は、Pチャネル型MOSトランジスタ2, 5, 7, 12, 20(1) ~ 20(p)とNチャネル型MOSトランジスタ4, 6, 9, 10, 19(1) ~ 19(m)と抵抗3とインバータ8, 13と制御回路11と発振回路14とレジスタ15Aとにより構成される。バイアス電位発生回路18は、液晶駆動用のアンプ31(1) ~ 31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるバイアス電位 $V_{IASP}$ と定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位 $V_{IASN}$ とを出力する機能を有する。32(1) ~ 32(n), 33(1) ~ 33(n)は配線容量を表す。

## 【0064】

Nチャネル型MOSトランジスタ19(1) ~ 19(m)はそれぞれゲート電位とドレイン電位とが短絡される。これにより、Nチャネル型MOSトランジスタ19(1) ~ 19(m)はドレイン電位とソース電位間に閾値電圧 $V_{TN}$ が生じるように構成される。各Nチャネル型MOSトランジスタ19(1) ~ 19(m)は互いに直列に接続されており、 $(\text{グラウンド電位} + \text{閾値電圧 } V_{TN} \times m) \leq \text{バイアス電位 } V_{IASP} \text{の所定の電位}$ の関係になるように、トランジスタ19(1) ~ 19(m)の設置個数 $m$ が決められている。

## 【0065】

同様に、Pチャネル型MOSトランジスタ20(1) ~ 20(p)はそれぞれゲート電位とドレイン電位とが短絡される。これによりPチャネル型MOSトランジスタ20(1) ~ 20(p)はソース電位とドレイン電位間にPチャネル型MOSトランジスタの閾値電圧 $V_{TP}$ が生じるように構成される。各Pチャネル型MOSトランジスタ20(1) ~ 20(p)は互いに直列に接続されており、 $(\text{電源電位} - \text{閾値電圧 } |V_{TP}| \times p) \geq \text{バイアス電位 } V_{IASN} \text{の所定の電位}$ の関係になるように個数 $p$ が決められている。

## 【0066】

次に、以上のように構成されたバイアス電位発生回路18のパワーセーブ状態からの復帰動作を説明する。

## 【0067】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態(Low)であるため、Pチャンネル型MOSトランジスタ7とNチャンネル型MOSトランジスタ9がオフしており、Nチャンネル型MOSトランジスタ4はオンしている。また、Nチャンネル型MOSトランジスタ10は、制御回路11の出力信号である高速復帰信号RTが非アクティブ状態(Low)であるためにオフしている。同様に、Pチャンネル型MOSトランジスタ12は、高速復帰信号NRTがアクティブ状態(High)であるためにオフしている。高速復帰信号NRTは、高速復帰信号RTがインバータ13により反転されることで生成される。

## 【0068】

このとき、Pチャンネル型MOSトランジスタ2と抵抗3とNチャンネル型MOSトランジスタ4との働きによってバイアス電位VIASPが発生する。同様に、Pチャンネル型MOSトランジスタ5とNチャンネル型MOSトランジスタ6との働きによってバイアス電位VIASNが発生する。これらバイアス電位VIASP, VIASNは、液晶駆動用のアンプ31(1)~31(n)に供給される。

## 【0069】

次に、パワーセーブ状態になると、パワーセーブ信号PSがアクティブ状態(High)になる。すると、Pチャンネル型MOSトランジスタ7とNチャンネル型MOSトランジスタ9がオンし、Nチャンネル型MOSトランジスタ4がオフする。これにより、バイアス電位VIASPは“High”となり、Pチャンネル型MOSトランジスタ5がオフし、バイアス電位VIASNは“Low”となる。このようにして、バイアス電位VIASP, VIASNは待機電圧に移行するため、バイアス電位発生回路18内の定常電流は0になり、パワーセーブ状態となる。

## 【0070】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号PS

が非アクティブ状態 (Low) になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフし、Nチャネル型MOSトランジスタ4がオンする。これにより、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位V I A S Pが所定の電位に戻ろうとする。しかしながら、アンプ31(1)～31(n)の入力容量と配線容量32(1)～32(n)とを放電する必要があるため時間がかるために、このままでは、バイアス電位V I A S Pが電位復帰するには時間がかかる。

## 【0071】

そこで、制御回路11は、発振回路14から供給されるクロック入力CLKと高速復帰元信号RT0とに基づいてパルス波形の高速復帰信号RTをアクティブ状態 (High) にする。制御回路11は、高速復帰信号RTのパルス幅をレジスタ15Aの設定値に応じて設定する。これにより、レジスタ15Aの設定値を変動させることで、高速復帰信号RTのパルス幅を任意に設定することができる。

## 【0072】

アクティブ状態になった高速復帰信号RTはNチャネル型MOSトランジスタ10のゲート電位に供給されて、トランジスタ10を一定時間オンさせる。そのため、バイアス電位V I A S Pはグランド側へ引っ張られることになり、これにより、バイアス電位V I A S Pは所定の電位に高速に復帰する。

## 【0073】

また、高速復帰信号RTがインバータ13で反転処理されることで、高速復帰信号NRTは非アクティブ状態 (Low) になる。非アクティブ状態 (Low) となった高速復帰信号NRTはPチャネル型MOSトランジスタ12のゲート電位に供給されて、トランジスタ12を一定時間オンさせる。そのため、バイアス電位V I A S Nは電源側へ引っ張られることになり、これにより、バイアス電位V I A S Nは所定の電位に高速に復帰する。

## 【0074】

本実施形態では、バイアス電位V I A S Pは、Nチャネル型MOSトランジスタ



タ 1 0 の動作によって所定の電位に復帰し、バイアス電位  $V_{IASN}$  は、Pチャネル型MOSトランジスタ 1 2 の動作によって所定の電位に復帰する。このように、バイアス電位それぞれに対応して復帰用のMOSトランジスタ 1 0, 1 2 を設けているので、復帰に要する時間が短縮化される。

## 【 0 0 7 5 】

バイアス電位発生回路 1 8 は、高速復帰信号  $RT, NRT$  のパルス幅を、レジスタ 1 5 A の設定値に応じて可変させることが出来る。そのため、電源電圧等の条件変化に応じてレジスタ 1 5 A の設定値を変動させることで、最適なパルス幅を選択することが出来る。その結果、バイアス電位発生回路 1 8 を高速復帰させるために必要なMOSトランジスタ 1 0, 1 2 の駆動時間が、温度や電源電圧等の変化に応じて変動したとしても、その変動に応じたMOSトランジスタ 1 0, 1 2 の駆動時間を設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、バイアス電位  $V_{IASP}, V_{IASN}$  を、過不足なくしかも高速に復帰させることが出来る。

## 【 0 0 7 6 】

さらには、Nチャネル型MOSトランジスタ 1 9 ( 1 ) ~ 1 9 ( m ) やPチャネル型MOSトランジスタ 2 0 ( 1 ) ~ 2 0 ( p ) は、構成するトランジスタそれぞれが互いに直列に接続されており、( グランド電位 + 閾値電圧  $V_{TN}$   $\times m \leq$  バイアス電位  $V_{IASP}$  の所定の電位 )、( 電源電位 - 閾値電圧  $|V_{TP}| \times p \geq$  バイアス電位  $V_{IASN}$  の所定の電位 ) の関係になるようにトランジスタの設置個数  $m, p$  が決められている。そのため、トランジスタの設置個数  $m, p$  を任意に設定することで、バイアス電位 ( 発生電位 ) を待機電圧から所定のバイアス電位に復帰させる際に用いる復帰電圧を任意に設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

## 【 0 0 7 7 】

本実施形態は、Nチャネル型MOSトランジスタ 1 0, 1 9 ( 1 ) ~ 1 9 ( m ) とPチャネル型MOSトランジスタ 1 2, 2 0 ( 1 ) ~ 2 0 ( p ) とにより電

位復帰部が構成され、発振回路 1 4 と制御回路 1 1 とインバータ 1 3 とにより駆動制御部が構成され、レジスタ 1 5 A により駆動時間設定部が構成される。

【 0 0 7 8 】

なお、本実施形態での N チャンネル型 MOS トランジスタ 1 0 と P チャンネル型 MOS トランジスタ 1 2 とは、N チャンネル型 MOS トランジスタと P チャンネル型 MOS トランジスタを並列接続した CMOS 型トランスファゲートでも良く、同様の効果が得られる。

【 0 0 7 9 】

(第 4 の実施形態)

図 6 に本発明の第 4 の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数が n 出力であるバイアス電位発生回路を例にして本発明を説明する。

【 0 0 8 0 】

図 6 において、2 2 はバイアス電位発生回路である。バイアス電位発生回路 2 2 は、P チャンネル型 MOS トランジスタ 2, 5, 7, 1 2 と N チャンネル型 MOS トランジスタ 4, 6, 9, 1 0 と抵抗 3 とインバータ 8, 1 3 とコンパレータ 2 3 と基準電位発生回路 2 4 とにより構成される。バイアス電位発生回路 2 2 は、液晶駆動用のアンプ 3 1 ( 1 ) ~ 3 1 ( n ) 内の定電流源の P チャンネル型 MOS トランジスタ用ゲート電位であるバイアス電位  $V_{IASP}$  と定電流源の N チャンネル型 MOS トランジスタ用ゲート電位であるバイアス電位  $V_{IASN}$  とを出力する機能を有する。3 2 ( 1 ) ~ 3 2 ( n )、3 3 ( 1 ) ~ 3 3 ( n ) は配線容量を表す。

【 0 0 8 1 】

基準電位発生回路 2 4 は、P チャンネル型 MOS トランジスタ 2 5, 2 6 と N チャンネル型 MOS トランジスタ 2 8 と抵抗 2 7 とにより構成される。基準電位発生回路 2 4 は、動作時の定常状態において ( $V_{IASP} \leq V_{BP}$ ) となる基準電位  $V_{BP}$  を発生する機能を有する。

【 0 0 8 2 】

コンパレータ 2 3 は正極入力電位と負極入力電位とを比較し、(正極入力電位

＞ 負極入力電位) 時にNチャネル型MOSトランジスタ10をオンし、(正極入力電位 ≤ 負極入力電位) 時にNチャネル型MOSトランジスタ10をオフする機能を有する。

【0083】

次に、以上のように構成されたバイアス電位発生回路22のパワーセーブ状態からの復帰動作を説明する。

【0084】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態(Low)であり、Pチャネル型MOSトランジスタ7,25とNチャネル型MOSトランジスタ9がオフしており、Nチャネル型MOSトランジスタ4,28はオンしている。また、Nチャネル型MOSトランジスタ10は、コンパレータ23の出力信号である高速復帰信号RTが非アクティブ状態(Low)であるためにオフしている。同様に、Pチャネル型MOSトランジスタ12は、コンパレータ23が高速復帰信号RTを反転することで生成される高速復帰信号NRTがアクティブ状態(High)であるためにオフしている。

【0085】

このとき、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位VIASPが発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6との働きによってバイアス電位VIASNが発生する。これらバイアス電位VIASP, VIASNは、液晶駆動用のアンプ31(1)～31(n)に供給される。

【0086】

次に、パワーセーブ状態になると、パワーセーブ信号PSがアクティブ状態(High)になる。すると、Pチャネル型MOSトランジスタ7,25とNチャネル型MOSトランジスタ9がオンし、Nチャネル型MOSトランジスタ4,28がオフする。これにより、バイアス電位VIASPと基準電位VBPとは“High”となり、Pチャネル型MOSトランジスタ5がオフし、バイアス電位VIASNは“Low”となる。このようにして、バイアス電位VIASP, VIASNは待機電圧に移行するため、バイアス電位発生回路22内の定常電流は0

になり、パワーセーブ状態となる。

【 0 0 8 7 】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号 P S が非アクティブ状態 ( L o w ) になる。すると、Pチャネル型MOSトランジスタ 7 , 2 5 とNチャネル型MOSトランジスタ 9 がオフし、Nチャネル型MOSトランジスタ 4 , 2 8 がオンする。これにより、Pチャネル型MOSトランジスタ 2 6 と抵抗 2 7 とNチャネル型MOSトランジスタ 2 8 との働きによって、基準電位 V B P は所定の電位に戻る。

【 0 0 8 8 】

このとき同時に、Pチャネル型MOSトランジスタ 2 と抵抗 3 とNチャネル型MOSトランジスタ 4 との働きによって、バイアス電位 V I A S P が所定の電位に戻ろうとする。しかしながら、アンプ 3 1 ( 1 ) ~ 3 1 ( n ) の入力容量と配線容量 3 2 ( 1 ) ~ 3 2 ( n ) とを放電する必要があるため時間がかかるために、このままでは、バイアス電位 V I A S P が所定の電位に復帰するには時間がかかる。

【 0 0 8 9 】

しかしながら、ここで、コンパレータ 2 3 は ( V I A S P > V B P ) であることを検出して高速復帰信号 R T をアクティブ状態 ( H i g h ) にする。アクティブ状態にされた高速復帰信号 R T は、Nチャネル型MOSトランジスタ 1 0 のゲート電位に供給されてトランジスタ 1 0 をオンさせる。そのため、バイアス電位 V I A S P はグランド側へ引っ張られることになり、これにより、バイアス電位 V I A S P は所定の電位に高速に復帰する。

【 0 0 9 0 】

このとき、同時に、インバータ 1 3 がアクティブ ( H i g h ) 状態の高速復帰信号 R T を反転処理することで、非アクティブ ( L o w ) 状態の高速復帰信号 N R T が生成される。生成された非アクティブ状態の高速復帰信号 N R T はPチャネル型MOSトランジスタ 1 2 のゲート電位に供給されてトランジスタ 1 2 を一定時間オンさせる。そのため、バイアス電位 V I A S N は電源側へ引っ張られることになり、これにより、バイアス電位 V I A S N は所定の電位に高速に復帰す

る。

#### 【0091】

そして、バイアス電位  $V_{IASP}$  が所定の電位に高速に復帰して、コンパレータ 23 が ( $V_{IASP} \leq V_{BP}$ ) になったことを検出すると、コンパレータ 23 は高速復帰信号  $RT$  を非アクティブ状態 ( $Low$ ) にする。非アクティブにされた高速復帰信号  $RT$  は、Nチャネル型 MOS トランジスタ 10 のゲート電位に供給されてトランジスタ 10 をオフさせる。

#### 【0092】

一方、インバータ 13 は、コンパレータ 23 によって非アクティブ状態 ( $Low$ ) にされた高速復帰信号  $RT$  を反転処理することで、高速復帰信号  $NRT$  をアクティブ状態 ( $High$ ) にする。アクティブ状態にされた高速復帰信号  $NRT$  は Nチャネル型 MOS トランジスタ 12 のゲート電位に供給されてトランジスタ 10 をオフさせる。これにより、高速復帰動作の一動作が完了する。

#### 【0093】

本実施形態は、Pチャネル型 MOS トランジスタ 12 と Nチャネル型 MOS トランジスタ 10 とにより電位復帰部が構成され、基準電位発生回路 24 により基準電位発生部が構成され、コンバータ 23 により駆動制御部が構成される。

#### 【0094】

本実施形態では、基準電位を生成したうえで、発生させたバイアス電位  $V_{IASP}$  と基準電位とを比較して、Pチャネル型 MOS トランジスタ 12 や Nチャネル型 MOS トランジスタ 10 からなる電位復帰部の駆動時間を制御する。そのため、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。

#### 【0095】

なお、本実施形態での Nチャネル型 MOS トランジスタ 10 と Pチャネル型 MOS トランジスタ 12 は、Nチャネル型 MOS トランジスタと Pチャネル型 MOS トランジスタを並列接続した CMOS 型トランスファゲートでも良く、同様の効果が得られる。

#### 【0096】

## (第 5 の実施形態)

図 7 に本発明の第 5 の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数が  $n$  出力であるバイアス電位発生回路を例にして本発明を説明する。

## 【0097】

図 7 において、29 はバイアス電位発生回路である。バイアス電位発生回路 29 は、Pチャネル型MOSトランジスタ2, 5, 7, 12とNチャネル型MOSトランジスタ4, 6, 9, 10と抵抗3とインバータ8とコンパレータ23, 40と基準電位発生回路24, 41とにより構成される。バイアス電位発生回路29は、液晶駆動用のアンプ31(1)～31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるバイアス電位 $V_{IASP}$ と定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位 $V_{IASN}$ とを出力する機能を有する。32(1)～32(n), 33(1)～33(n)は配線容量を表す。

## 【0098】

基準電位発生回路24は、Pチャネル型MOSトランジスタ25, 26とNチャネル型MOSトランジスタ28と抵抗27とにより構成される。基準電位発生回路24は、動作時の定常状態において( $V_{IASP} \leq V_{BP}$ )となる基準電位 $V_{BP}$ を発生する機能を有する。

## 【0099】

基準電位発生回路41は、Pチャネル型MOSトランジスタ42とNチャネル型MOSトランジスタ43, 44とにより構成される。基準電位発生回路41は、動作時の定常状態において( $V_{IASN} \geq V_{BN}$ )となる基準電位 $V_{BN}$ を発生する機能を有する。

## 【0100】

コンパレータ23は正極入力電位と負極入力電位とを比較し、(正極入力電位  $>$  負極入力電位)時にNチャネル型MOSトランジスタ10をオンし、(正極入力電位  $\leq$  負極入力電位)時にNチャネル型MOSトランジスタ10をオフする機能を有する。

【0101】

コンパレータ40は正極入力電位と負極入力電位とを比較し、（正極入力電位 < 負極入力電位）時にPチャネル型MOSトランジスタ12をオンし、（正極入力電位  $\geq$  負極入力電位）時にPチャネル型MOSトランジスタ12をオフする機能を有する。

【0102】

次に、以上のように構成されたバイアス電位発生回路29のパワーセーブ状態からの復帰動作を説明する。

【0103】

まず、動作状態では、パワーセーブ信号PSが非アクティブ状態（Low）であるため、Pチャネル型MOSトランジスタ7,25とNチャネル型MOSトランジスタ9,44がオフしており、Nチャネル型MOSトランジスタ4,28はオンしている。また、Nチャネル型MOSトランジスタ10は、コンパレータ23の出力信号である高速復帰信号RTが非アクティブ状態（Low）であるため、オフしている。同様に、Pチャネル型MOSトランジスタ12は、コンパレータ40の出力信号である高速復帰信号NRTが非アクティブ状態（Low）であるためにオフしている。

【0104】

このとき、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位VIASPが発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6との働きによってバイアス電位VIASNが発生する。これらバイアス電位VIASP, VIASNは、液晶駆動用のアンプ31(1)～31(n)に供給される。

【0105】

次に、パワーセーブ状態になると、パワーセーブ信号PSがアクティブ状態（High）になる。すると、Pチャネル型MOSトランジスタ7,25とNチャネル型MOSトランジスタ9,44がオンし、Nチャネル型MOSトランジスタ4,28がオフする。これにより、バイアス電位VIASPと基準電位VBPは“High”となり、Pチャネル型MOSトランジスタ5,42がオフし、バイ

アス電位  $V_{IASN}$  と基準電位  $V_{BN}$  は “Low” となる。このようにして、バイアス電位  $V_{IASP}$ ,  $V_{IASN}$  は待機電圧に移行するため、バイアス電位発生回路 29 内の定常電流は 0 になり、パワーセーブ状態となる。

## 【0106】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号  $P_S$  が非アクティブ状態 (Low) になる。すると、Pチャネル型MOSトランジスタ 7, 25 とNチャネル型MOSトランジスタ 9, 44 がオフし、Nチャネル型MOSトランジスタ 4, 28 がオンする。これにより、Pチャネル型MOSトランジスタ 26 と抵抗 27 とNチャネル型MOSトランジスタ 28 との働きによって、基準電位  $V_{BP}$  は所定の電位に戻る。このとき同時に、Pチャネル型MOSトランジスタ 42 とNチャネル型MOSトランジスタ 43 との働きによって、基準電位  $V_{BN}$  は所定の電位に戻る。

## 【0107】

このとき同時に、Pチャネル型MOSトランジスタ 2 と抵抗 3 とNチャネル型MOSトランジスタ 4 の働きによって、バイアス電位  $V_{IASP}$  が所定の電位に戻ろうとする。しかしながら、アンプ 31 (1) ~ 31 (n) の入力容量と配線容量 32 (1) ~ 32 (n) とを放電する必要があるため時間がかかるために、このままでは、バイアス電位  $V_{IASP}$  が所定の電位に復帰するには時間がかかる。

## 【0108】

しかしながら、ここで、コンパレータ 23 は ( $V_{IASP} > V_{BP}$ ) であることを検出して高速復帰信号  $RT$  をアクティブ状態 (High) にする。アクティブ状態にされた高速復帰信号  $RT$  は、Nチャネル型MOSトランジスタ 10 のゲート電位に供給されてトランジスタ 10 をオンさせる。そのため、バイアス電位  $V_{IASP}$  はグランド側へ高速に引っ張られることになり、これにより、バイアス電位  $V_{IASP}$  は所定の電位に高速に復帰する。

## 【0109】

そして、バイアス電位  $V_{IASP}$  が所定の電位に高速に復帰して、コンパレータ 23 が ( $V_{IASP} \leq V_{BP}$ ) になったことを検出すると、コンパレータ 23 は高速復帰信号  $RT$  を非アクティブ状態 (Low) にする。非アクティブ状



態にされた高速復帰信号RTは、Nチャネル型MOSトランジスタ10のゲート電位に供給されてトランジスタ10をオフさせる。

## 【0110】

このとき同時に、コンパレータ40は( $V_{IASN} < V_{BN}$ )であることを検出して高速復帰信号NRTを非アクティブ状態(Low)にする。非アクティブ状態にされた高速復帰信号NRTは、Pチャネル型MOSトランジスタ12のゲート電位に供給されてトランジスタ12をオンさせる。そのため、バイアス電位 $V_{IASN}$ は電源側へ高速に引っ張られることになり、これにより、バイアス電位 $V_{IASN}$ は所定の電位に高速に復帰する。

## 【0111】

そして、バイアス電位 $V_{IASN}$ が所定の電位に高速に復帰して、コンパレータ40が( $V_{IASN} \geq V_{BN}$ )になったことを検出すると、コンパレータ40は高速復帰信号NRTをアクティブ状態(High)にする。アクティブ状態にされた高速復帰信号NRTは、Pチャネル型MOSトランジスタ12のゲート電位に供給されてトランジスタ12をオフさせる。

## 【0112】

本実施形態は、Pチャネル型MOSトランジスタ12とNチャネル型MOSトランジスタ10とにより電位復帰部が構成され、基準電位発生回路24,41により基準電位発生部が構成され、コンバータ23,40により駆動制御部が構成される。

## 【0113】

本実施形態では、基準電位を生成したうえで、発生させたバイアス電位 $V_{IASP}$ と基準電位とを比較して、Pチャネル型MOSトランジスタ12やNチャネル型MOSトランジスタ10からなる電位復帰部の駆動時間を制御する。そのため、電源電圧変化や温度変化等が発生した場合においても、全てのバイアス電位を、過不足なくしかも高速に復帰させることが出来る。しかも、各バイアス電位 $V_{IASN}$ , $V_{IASP}$ 毎に、基準電位発生回路24,41と、コンパレータ23,40とを配置して、バイアス電位 $V_{IASN}$ , $V_{IASP}$ 毎に、基準電位との比較処理を行っているので、バイアス電位の復帰操作を精度高くしかも高速に実施

することができる。

【0114】

なお、本実施形態でのNチャネル型MOSトランジスタ10とPチャネル型MOSトランジスタ12とは、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタをと並列接続したCMOS型トランスファゲートでも良く、同様の効果が得られる。

【0115】

(第6の実施形態)

図8に本発明の第6の実施形態のバイアス電位発生回路の回路図を示す。本実施形態では、液晶駆動用であって液晶駆動出力数がn出力であるバイアス電位発生回路を例にして本発明を説明する。

【0116】

図8において、46はバイアス電位発生回路である。バイアス電位発生回路46はPチャネル型MOSトランジスタ2,5,7とNチャネル型MOSトランジスタ4,6,9と抵抗3とインバータ8,58と制御回路11と発振回路14とレジスタ15Aとスイッチ52,57と復帰電位発生回路47,53とにより構成される。バイアス電位発生回路46は、液晶駆動用のアンプ31(1)～31(n)内の定電流源のPチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V<sub>IASP</sub>と定電流源のNチャネル型MOSトランジスタ用ゲート電位であるバイアス電位V<sub>IASN</sub>とを出力する機能を有する。32(1)～32(n), 33(1)～33(n)は配線容量を表す。

【0117】

復帰電位発生回路47は、Pチャネル型MOSトランジスタ48,49とNチャネル型MOSトランジスタ51と抵抗50とにより構成される。復帰電位発生回路47は、動作時の定常状態において( $V_{IASP} = V_P$ )となる基準電位V<sub>P</sub>を発生する機能を有する。

【0118】

復帰電位発生回路53は、Pチャネル型MOSトランジスタ54とNチャネル型MOSトランジスタ56,55とスイッチ59,60とにより構成される。復

帰電位発生回路53は、動作時の定常状態において( $V_{IASN} = V_N$ )となる基準電位 $V_N$ を発生する機能を有する。

## 【0119】

次に、以上のように構成されたバイアス電位発生回路46のパワーセーブ状態からの復帰動作を説明する。

## 【0120】

まず、動作状態では、パワーセーブ信号 $PS$ が非アクティブ状態(Low)であるため、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフしており、Nチャネル型MOSトランジスタ4はオンしている。また、スイッチ52,57は、制御回路11の出力信号である高速復帰信号 $RT$ が非アクティブ状態(Low)であるためにオフしている。

## 【0121】

このとき、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位 $V_{IASP}$ が発生する。同様に、Pチャネル型MOSトランジスタ5とNチャネル型MOSトランジスタ6との働きによってバイアス電位 $V_{IASN}$ が発生する。これらバイアス電位 $V_{IASP}$ ,  $V_{IASN}$ は、液晶駆動用のアンプ31(1)~31(n)に供給される。

## 【0122】

復帰電位発生回路47においては、高速復帰信号 $RT$ が非アクティブ状態(Low)であるために、Nチャネル型MOSトランジスタ51がオフし、Pチャネル型MOSトランジスタ48がオンしている。これにより、復帰電位発生回路47は復帰電位 $V_P$ として電源電位を出力する。

## 【0123】

復帰電位発生回路53においては、高速復帰信号 $RT$ が非アクティブ状態(Low)であるために、スイッチ59がオフする。また、インバータ58による反転動作により高速復帰信号 $NRT$ はアクティブ状態(High)になるため、スイッチ60がオンし、Nチャネル型MOSトランジスタ56がオンし、Pチャネル型MOSトランジスタ54がオフする。そのため、復帰電位発生回路53は復帰電位 $V_N$ としてグランド電位を出力する。

## 【0124】

次に、パワーセーブ状態になると、パワーセーブ信号PSが“アクティブ状態(High)”になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオンし、Nチャネル型MOSトランジスタ4がオフする。これにより、バイアス電位VIASPは“High”となり、Pチャネル型MOSトランジスタ5がオフし、バイアス電位VIASNは“Low”となる。このようにして、バイアス電位VIASP, VIASNは待機電圧に移行するため、バイアス電位発生回路46内の定常電流は0になり、パワーセーブ状態となる。

## 【0125】

続いて、パワーセーブ状態から動作状態に移行すると、パワーセーブ信号PSが非アクティブ状態(Low)になる。すると、Pチャネル型MOSトランジスタ7とNチャネル型MOSトランジスタ9がオフし、Nチャネル型MOSトランジスタ4がオンする。これにより、Pチャネル型MOSトランジスタ2と抵抗3とNチャネル型MOSトランジスタ4との働きによって、バイアス電位VIASPが所定の電位に戻ろうとする。しかしながら、アンプ31(1)～31(n)の入力容量と配線容量32(1)～32(n)とを放電する必要があり時間がかかるため、このままでは、バイアス電位VIASPが所定の電位に復帰するには時間がかかる。

## 【0126】

そこで、制御回路11は、発振回路14から供給されるクロック入力CLKと高速復帰元信号RT0とに基づいてパルス波形の高速復帰信号RTをアクティブ状態(High)にする。制御回路11は、高速復帰信号RTのパルス幅(アクティブ期間)をレジスタ15Aの設定値に応じて設定する。これにより、レジスタ15Aの設定値を変動させることで、高速復帰信号RTのパルス幅(アクティブ期間)を任意に設定することができる。

## 【0127】

アクティブ状態になった高速復帰信号RTは、Pチャネル型MOSトランジスタ48とNチャネル型MOSトランジスタ51とのゲート電位に供給されて、ト

ランジスタ48をオフにし、トランジスタ51をオンにする。さらに、アクティブになった高速復帰信号RTはスイッチ59,52,57に供給されてスイッチ59,52,57をオンにする。

## 【0128】

さらには、インバータ58により反転処理されて非アクティブ状態(Low)になった高速復帰信号NRTはNチャネル型MOSトランジスタ56のゲート電位とスイッチ60とに供給されて、トランジスタ56とスイッチ60とをオフにする。これにより、復帰電位発生回路47,53では、復帰電位VP,VNが生成される。

## 【0129】

このとき、スイッチ52,57が高速復帰信号RTにより一定期間オンとなっているため、バイアス電位VIASPは復帰電位VPへ引っ張られることになる結果、バイアス電位VIASPは所定の電位に高速に復帰される。同様に、バイアス電位VIASNは復帰電位VNへ引っ張られることになる結果、バイアス電位VIASNは所定の電位に高速に復帰される。

## 【0130】

本実施形態は、復帰電位発生回路47,53により復帰電位発生部が構成され、スイッチ52,57により電位復帰部が構成され、レジスタ15Aにより駆動時間設定部が構成され、発振回路14と制御回路11とインバータ58とにより駆動制御部が構成される。

## 【0131】

本実施形態では、バイアス電位VIASPは、復帰電位発生回路47と、スイッチ52との動作によって所定の電位に復帰し、バイアス電位VIASNは、復帰電位発生回路53と、スイッチ57との動作によって所定の電位に復帰する。このように、バイアス電位それぞれに対応して復帰用の構成を設けているので、復帰に要する時間が短縮化される。

## 【0132】

バイアス電位発生回路46は、高速復帰信号RTのパルス幅を、レジスタ15Aの設定値に応じて可変させることが出来る。そのため、電源電圧等の条件変化

に応じてレジスタ 15A の設定値を変動させることで、最適なパルス幅を選択することが出来る。その結果、バイアス電位  $V_{IASP}$ ,  $V_{IASN}$  を高速復帰させるために必要なスイッチ 52, 57 のオン時間が、温度や電源電圧等の変化に応じて変動したとしても、その変動に応じたスイッチ 52, 57 のオン時間を設定することが可能となる。これにより、電源電圧変化や温度変化等が発生した場合においても、バイアス電位  $V_{IASP}$ ,  $V_{IASN}$  を、過不足なくしかも高速に復帰させることが出来る。

#### 【0133】

なお、本実施形態でのスイッチ 52, 57, 59, 60 は N チャンネル型 MOS トランジスタと P チャンネル型 MOS トランジスタとを並列接続した CMOS 型トランスファゲートで構成されることが一般的であるが、同様の機能を有するものであれば、他の構成でも同様の効果が得られる。

#### 【0134】

##### 【発明の効果】

以上説明したように、本発明によれば、バイアス電位を過不足なく高速に復帰させることが出来る。

#### 【0135】

また、クロックを外部から供給するための端子を削除することが出来る。

#### 【0136】

また、復帰電流や復帰電圧を任意に設定出来るので、電源電圧等の条件が変わった場合に、電位復帰部の能力変化に合わせてバイアス電位を最適に高速復帰させることが出来る。

##### 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 2】 本発明の第 1 の実施形態のバイアス電位発生回路の動作を示すタイミングチャート図である。

【図 3】 本発明の第 2 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 4】 本発明の第 2 の実施形態のバイアス電位発生回路の動作を示すタイミングチャート図である。

【図 5】 本発明の第 3 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 6】 本発明の第 4 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 7】 本発明の第 5 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 8】 本発明の第 6 の実施形態のバイアス電位発生回路の構成を示す回路図である。

【図 9】 従来のバイアス電位発生回路の構成を示す回路図である。

【符号の説明】

- 1, 17, 18, 22, 29, 46 バイアス電位発生回路
- 2, 5, 7, 12, 25, 26, 42 Pチャネル型MOSトランジスタ
- 12(1) ~ 12(k) Pチャネル型MOSトランジスタ
- 20(1) ~ 20(p) Pチャネル型MOSトランジスタ
- 48, 49, 54 Pチャネル型MOSトランジスタ
- 3, 27, 50 抵抗
- 4, 6, 9, 10, 28, 43, 44 Nチャネル型MOSトランジスタ
- 10(1) ~ 10(k) Nチャネル型MOSトランジスタ
- 19(1) ~ 19(m) Nチャネル型MOSトランジスタ
- 51, 55, 56 Nチャネル型MOSトランジスタ
- 8, 13, 13(1) ~ 13(k), 58 インバータ
- 11, 16 制御回路
- 14 発振回路
- 15A, 15B レジスタ
- 23, 40 コンパレータ
- 24, 41 基準電位発生回路
- 31(1) ~ 31(n) アンプ

32(1) ~ 32(n)、33(1) ~ 33(n) 配線容量

47, 53 復帰電位発生回路

52, 57, 59, 60 スイッチ

RT0 高速復帰元信号

RT、NRT 高速復帰信号

RT(1) ~ RT(k)、NRT(1) ~ NRT(k) 高速復帰信号

CLK クロック入力

PS パワーセーブ信号

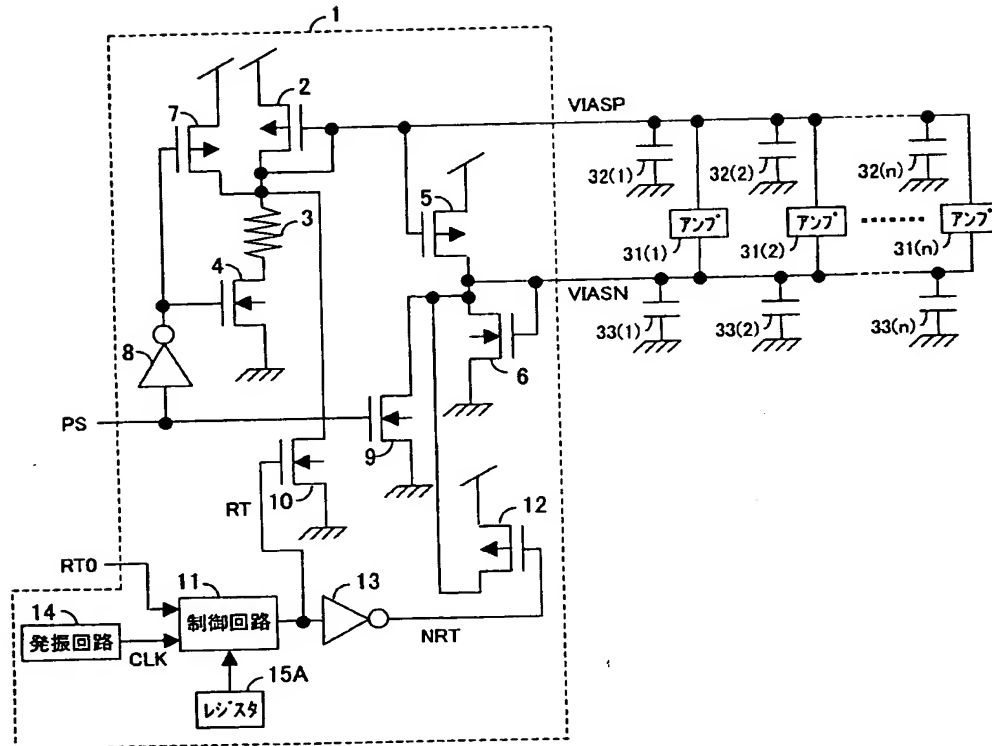
VBP, VBN 基準電位

VP, VN 復帰電位

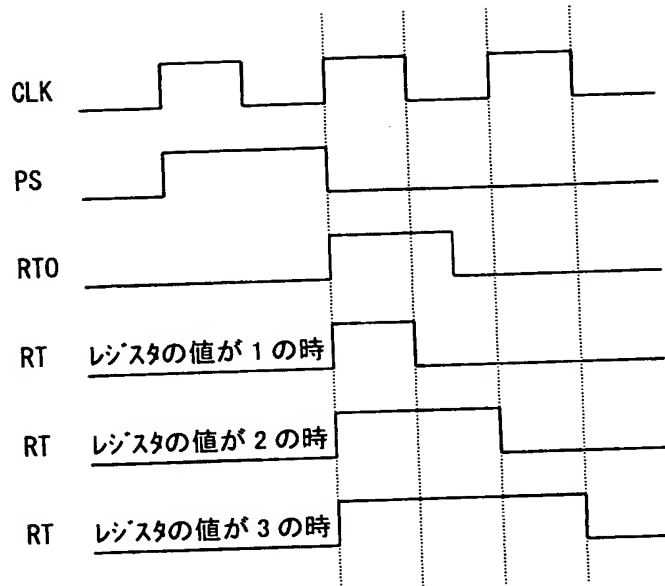


【書類名】 図面

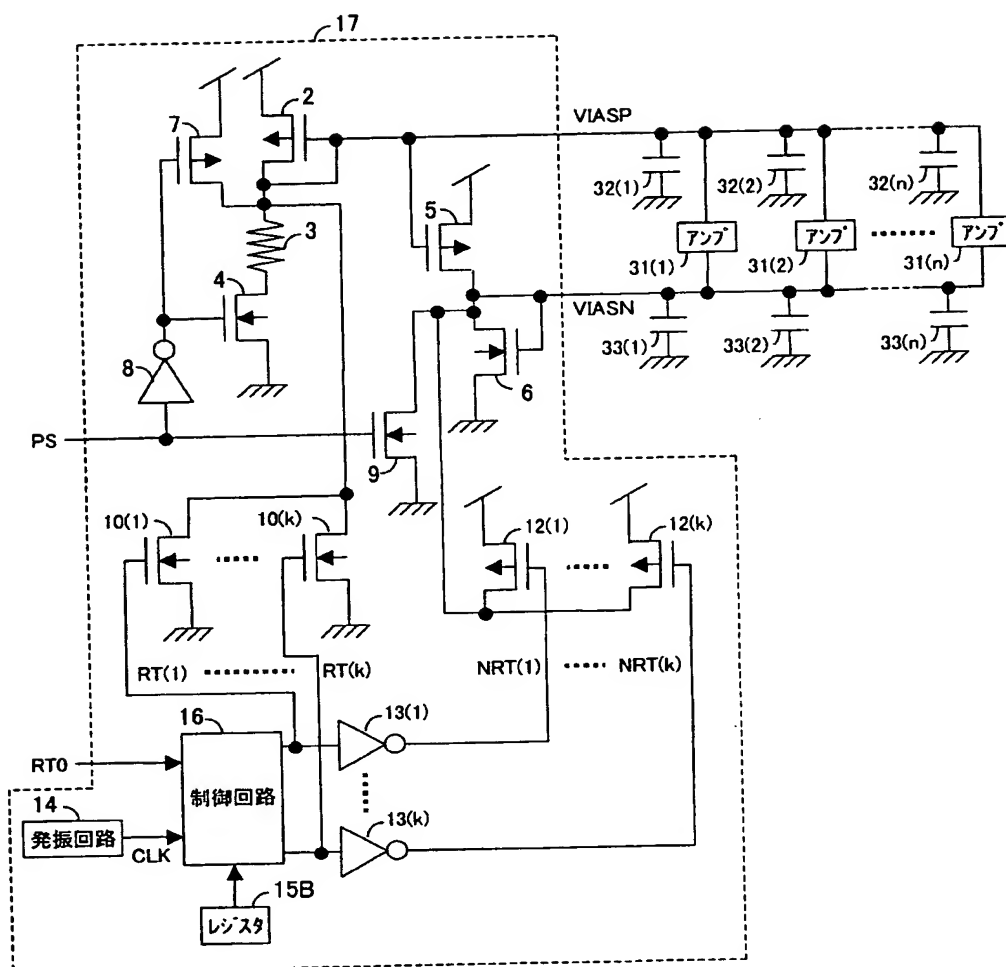
【図 1】



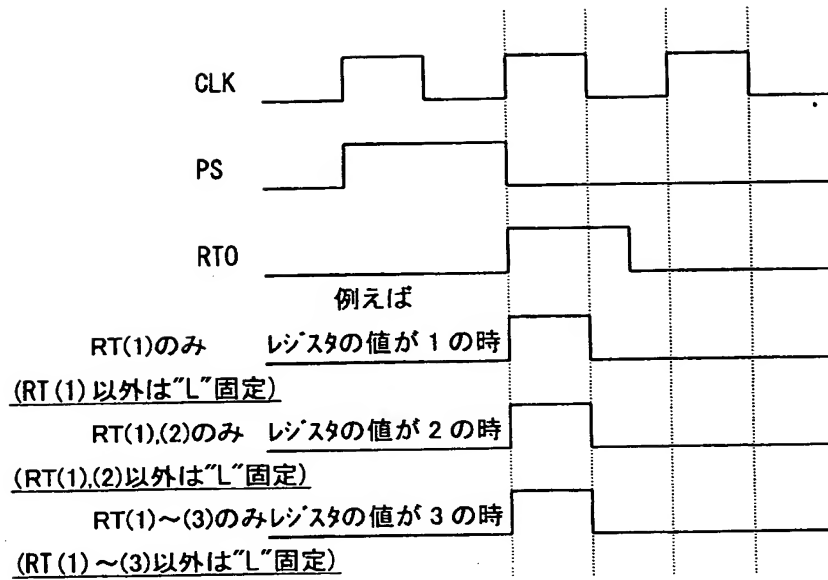
【図 2】



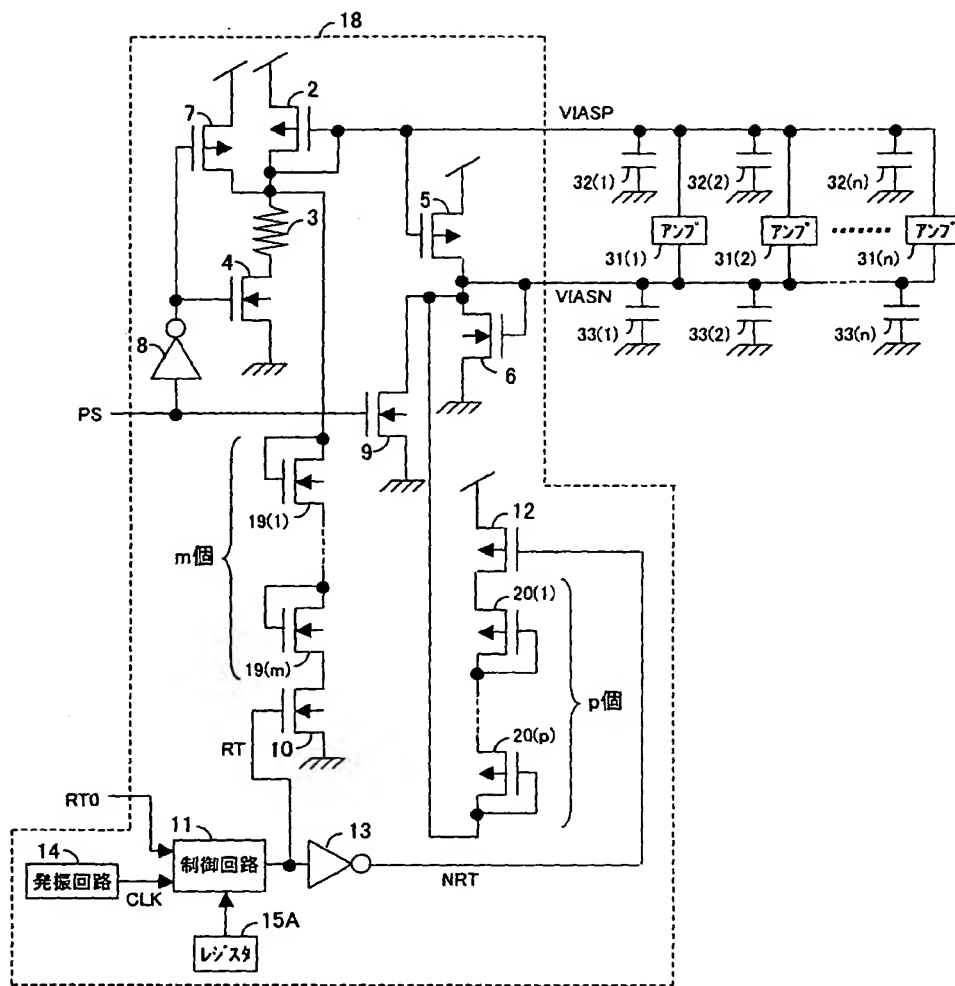
【図 3】



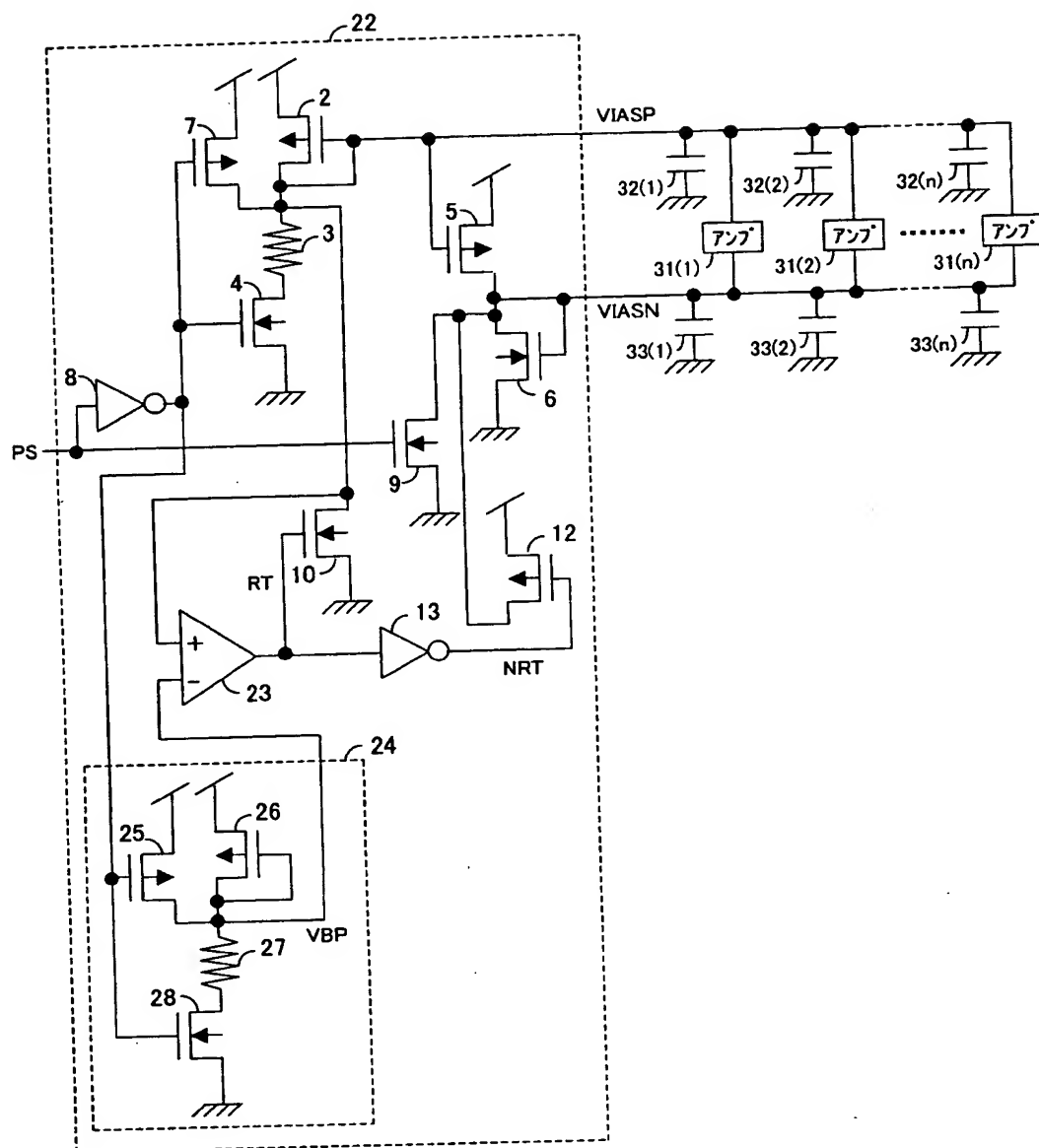
【図 4】



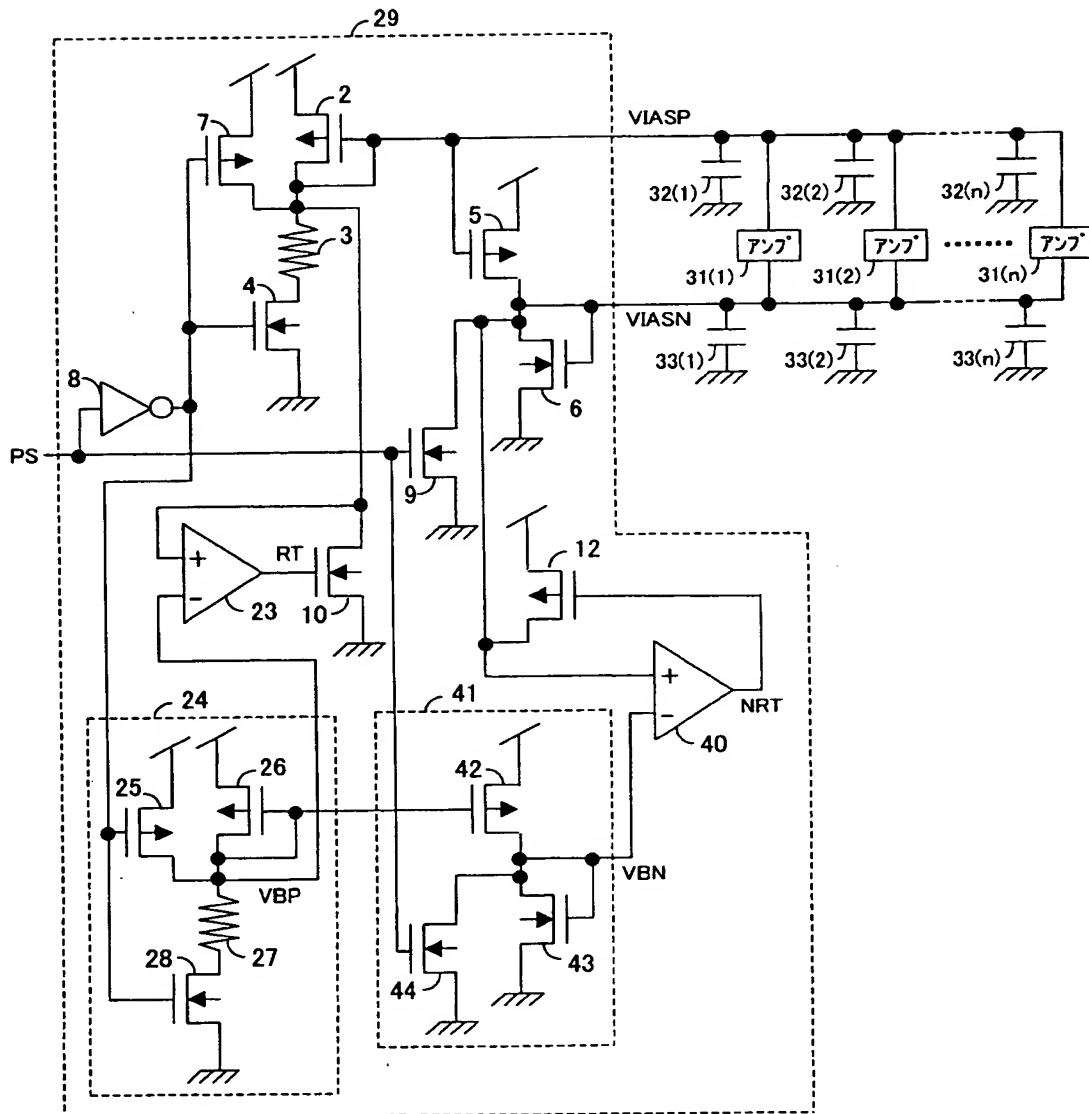
【図 5】



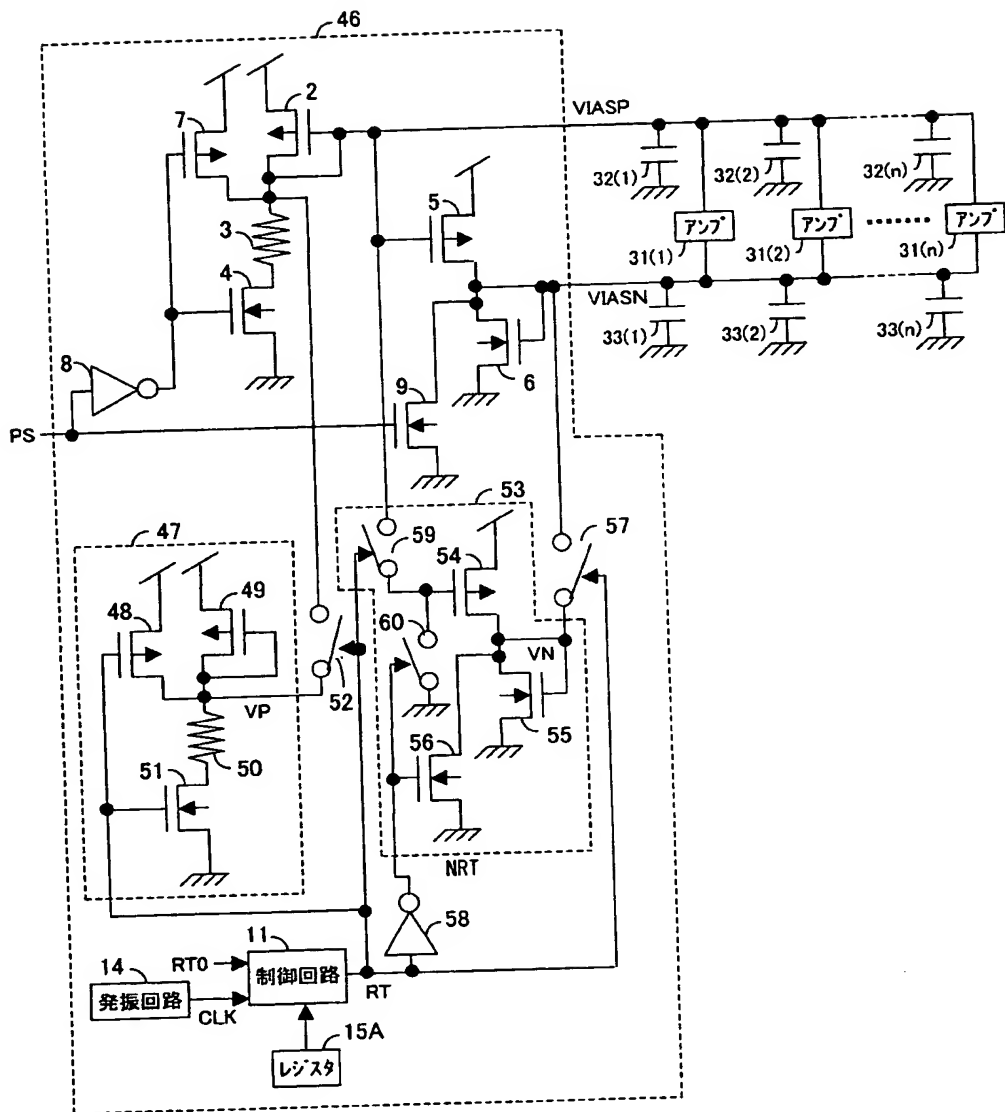
【図 6】



【図 7】

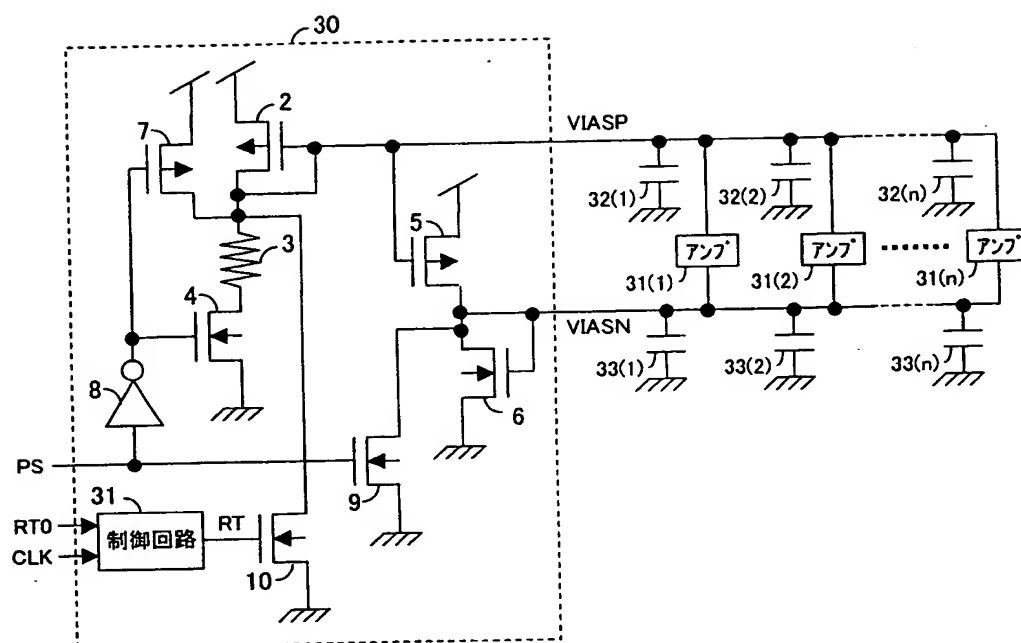


【図 8】





【図 9】



【書類名】 要約書

【要約】

【課題】 パワーセーブ後の復帰動作の高速化を図る。

【解決手段】 複数のバイアス電位を、各バイアス電位毎に設定された待機電位との間で切り換えて発生させるバイアス電位発生回路において、電位復帰部 1 0, 1 2 が発生電位を待機電位からバイアス電位に復帰させる。電位復帰部 1 0, 1 2 の駆動制御を駆動制御部 1 1, 1 3, 1 4 が行い、電位復帰部 1 0, 1 2 を各バイアス電位毎に設ける。さらに、電位復帰部 1 0, 1 2 の駆動時間を駆動時間設定部 1 5 A が任意に設定する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 9 2 3 2 5	
受付番号	5 0 2 0 1 4 9 8 1 2 9	
書類名	特許願	
担当官	第二担当上席	0 0 9 1
作成日	平成 1 4 年 1 0 月 1 8 日	

< 認定情報・付加情報 >

【提出日】	平成14年10月 4日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社